

facts of Japan

ATION NUMBER : 11150451
 ATION DATE : 02-06-99

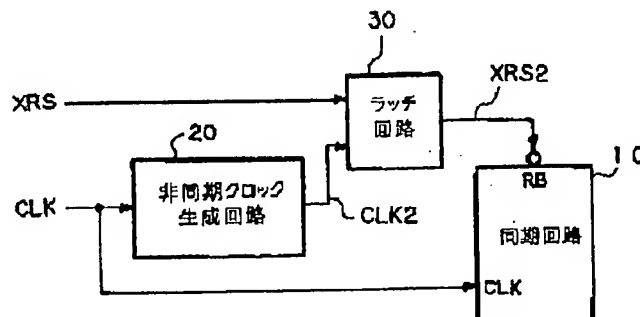
LICATION DATE : 14-11-97
 PLICATION NUMBER : 09313342

APPLICANT : NEC CORP;

INVENTOR : IKEDA ATSUSHI;

INT.CL. : H03K 5/00 G06F 1/24 G06F 1/04

TITLE : ASYNCHRONOUS RESET CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To surely reset a synchronization circuit, even when an asynchronous reset signal is received in whatever a timing.

SOLUTION: An asynchronous clock generating circuit 20 generates and outputs a clock signal CLK2 the leading and trailing of which do not interfere with the edges of the clock signal CLK that is received. A latch circuit 30 based on the clock signal CLK2 generates and outputs a reset signal XRS2 the leading and trailing of which do not interfere with the edges of the clock signal CLK from an asynchronous reset signal XRS. The reset signal XRS2 outputted from the latch circuit 30 resets a synchronization circuit 10.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150451

(43) 公開日 平成11年(1999)6月2日

(51) Int.Cl.⁶ 識別記号

H 0 3 K 5/00

G 0 6 F 1/24

1/04

P I

H 0 3 K 5/00

G 0 6 F 1/04

1/00

V

A

3 5 0 B

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平9-313342

(22) 出願日 平成9年(1997)11月14日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 池田 淳

東京都港区芝五丁目7番1号 日本電気株式会社社内

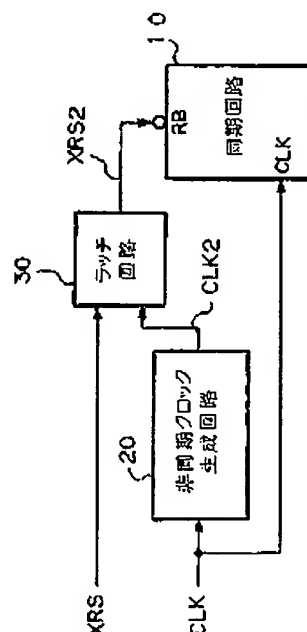
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 非同期リセット回路

(57) 【要約】

【課題】 非同期リセット信号がどのようなタイミングで入力された場合においても確実に同期回路をリセットする。

【解決手段】 入力されるクロック信号CLKから、立ち上がり及び立ち下がり、クロック信号CLKのエッジにかからないようなクロック信号CLK2を生成し、出力する非同期クロック生成回路20と、クロック信号CLK2に基づいて、非同期リセット信号XRSから、立ち上がり及び立ち下がり、クロック信号CLKのエッジにかからないリセット信号XRS2を生成し、出力するラッチ回路30とを設け、ラッチ回路30から出力されたリセット信号XRS2に基づいて同期回路10のリセット動作を行う。



(2)

特開平 1 1 - 1 5 0 4 5 1

1

2

【特許請求の範囲】

【請求項 1】 第 1 のクロック信号と該第 1 のクロック信号とは同期していない非同期リセット信号とが入力され、前記第 1 のクロック信号に基づいて駆動するとともに、前記非同期リセット信号に基づいてリセット動作が行われる同期回路を有してなる非同期リセット回路において、

前記第 1 のクロック信号から、立ち上がり及び立ち下がり、該第 1 のクロック信号のエッジにかからないような第 2 のクロック信号を生成し、出力する非同期クロック生成手段と、

前記第 2 のクロック信号に基づいて、前記非同期リセット信号から、立ち上がり及び立ち下がり前記第 1 のクロック信号のエッジにかからないリセット信号を生成し、出力するラッチ手段とを有し、該ラッチ手段から出力されリセット信号に基づいて前記同期回路のリセット動作が行われることを特徴とする非同期リセット回路。

【請求項 2】 請求項 1 に記載の非同期リセット回路において、

前記ラッチ手段は、前記非同期リセット信号を、前記第 2 のクロック信号でラッチし、該第 2 のクロック信号に同期させることにより、立ち上がり及び立ち下がり前記第 1 のクロック信号のエッジにかからないリセット信号を生成することを特徴とする非同期リセット回路。

【請求項 3】 請求項 1 または請求項 2 に記載の非同期リセット回路において、

前記非同期クロック生成手段は、

前記第 1 のクロック信号を所定時間だけ遅延して出力する第 1 の遅延手段と、

該第 1 に遅延手段から出力された信号を所定時間だけ遅延して出力する第 2 の遅延手段と、

前記第 1 及び第 2 の遅延手段から出力された信号に基づいて前記第 2 のクロック信号を生成する XOR ゲートとを有することを特徴とする非同期リセット回路。

【請求項 4】 請求項 3 に記載の非同期リセット回路において、

前記ラッチ手段は、

前記非同期リセット信号を一方の入力とする第 1 の NOR ゲートと、

前記第 2 のクロック信号を一方の入力とする第 2 の NOR ゲートとを有し、

前記第 1 の NOR ゲートの他方の入力端子には前記第 2 の NOR ゲートの出力端子が接続され、

前記第 2 の NOR ゲートの他方の入力端子には前記第 1 の NOR ゲートの出力端子が接続され、

前記第 1 の NOR ゲートの出力を前記リセット信号として出力することを特徴とする非同期リセット回路。

【請求項 5】 請求項 1 または請求項 2 に記載の非同期リセット回路において、

前記非同期クロック生成手段は、

前記第 1 のクロック信号を所定時間だけ遅延して前記第 2 のクロック信号として出力する第 1 の遅延手段を有することを特徴とする非同期リセット回路。

【請求項 6】 請求項 5 に記載の非同期リセット回路において、

前記第 1 の遅延手段の入力に反転素子を有することを特徴とする非同期リセット回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、非同期リセット回路に関し、特に、システムのクロック信号に同期して動作している同期回路を非同期リセットする非同期リセット回路に関する。

【 0 0 0 2 】

【従来の技術】通常、システムのクロックに同期して動作している同期回路をリセットする場合、仕様によりリセットタイミングを規定し、そのリセットタイミングにおいて正常な動作を保証していることが多い。

【 0 0 0 3 】しかし、このシステムと同期がとられていないシステムからのリセット信号を受け取る必要がある場合や、マニュアルリセットが入る場合など、リセットタイミングを規定することが困難である場合がある。

【 0 0 0 4 】図 7 は、従来の非同期リセット回路の一例を示す図である。

【 0 0 0 5 】本従来例は図 7 に示すように、非同期リセット信号 XRS がそのまま同期回路である D フリップフロップ回路へ与えられている。

【 0 0 0 6 】図 8 は、図 7 に示した非同期リセット回路の動作を説明するための図であり、(a) は非同期リセット信号の立ち上がりが同期回路へのクロックのエッジに重ならなかった場合の動作を示す図、(b) は非同期リセット信号の立ち上がりがクロックのエッジとほとんど同時である場合の動作を示す図である。

【 0 0 0 7 】図 7 に示す回路においては、非同期リセット信号の立ち上がり（リセット終了時）が、たまたま同期回路へのクロック CK のエッジに重ならなかった場合、図 8 (a) に示すように、リセットが正常に行われ、出力信号 OD の初期値は確定する。

【 0 0 0 8 】しかし、非同期リセット信号の立ち上がりがクロックのエッジとほとんど同時である場合は図 8 (b) に示すように、同期回路のセットアップホールドタイミングのため、出力信号が不定になってしまう。そのため、リセット後のシステムの初期値が定まらず、システムが誤動作してしまう虞れがある。

【 0 0 0 9 】なお、本従来例では、D フリップフロップ回路を挙げているが、この問題は他の任意の同期回路についても起こりうる。

【 0 0 1 0 】図 9 は、特開平 7 - 2 6 1 8 7 8 号公報に開示された非同期リセット方式を示す図であり、(a)

(3)

特開平11-150451

3

4

は構成を示す回路ブロック図、(b)は(a)に示した回路の動作を示すタイミングチャートである。

【0011】本従来例においては、非同期リセット信号XRSが入力されると、クロック信号に同期したクロック信号1周期分のリセット信号DPが発生し、それによりレジスタの入力がマスクされることで、リセット動作が行われている。

【0012】しかし、図中の同期パルス発生回路内部にある素子Aに着目すると、この素子は、図7に示したDフリップフロップ回路と同様に、同期クロックで動作し、非同期の入力を持つため、上述したセットアップホールドタイミングの問題を有しており、非同期リセット信号XRSの立ち上がりとクロックCKの立ち上がりとはほぼ同時である場合、出力が不定となってしまう。その結果としてマスク信号も不定となり、所望のリセット動作が得られなくなってしまう。

【0013】図10は、特開平7-261878号公報に開示された非同期リセット回路の他の構成例を示す回路ブロック図である。

【0014】本従来例においても、同様にクロック合成回路内部の同期回路では、上述したセットアップホールドタイミングの問題を回避できていない。

【0015】例えば、MCKの立ち上がりとXRSの立ち上がりとはほぼ同時である場合、クロック合成回路内部で不定が生じ、所望の動作を得ることができない。

【0016】

【発明が解決しようとする課題】上述したような従来の非同期リセット回路においては、非同期リセット回路内部にある同期回路のセットアップホールドタイミングの問題から、非同期リセット回路自身が正常に動作しないリセットタイミングが存在してしまうという問題点がある。

【0017】また、フリップフロップ等のようにゲート数が多い素子を多用しているため、回路規模が大きくなり、容易に同期回路に付加しにくい上、回路面積が大きくコストがかかるという問題点がある。

【0018】本発明は、上述したような従来の技術が有する問題点を鑑みてなされたものであって、非同期リセット信号がどのようなタイミングで入力された場合においても確実に同期回路をリセットすることのできる簡便でコストのかからない非同期リセット回路を提供することを目的とする。

【0019】

【課題を解決するための手段】上記目的を達成するために本発明は、第1のクロック信号と該第1のクロック信号とは同期していない非同期リセット信号が入力され、前記第1のクロック信号に基づいて駆動するとともに、前記非同期リセット信号に基づいてリセット動作が行われる同期回路を有してなる非同期リセット回路において、前記第1のクロック信号から、立ち上がり及び立

ち下がりが、該第1のクロック信号のエッジにかからないような第2のクロック信号を生成し、出力する非同期クロック生成手段と、前記第2のクロック信号に基づいて、前記非同期リセット信号から、立ち上がり及び立ち下がりが前記第1のクロック信号のエッジにかからないリセット信号を生成し、出力するラッチ手段とを有し、該ラッチ手段から出力されたリセット信号に基づいて前記同期回路のリセット動作が行われることを特徴とする。

10 【0020】また、前記ラッチ手段は、前記非同期リセット信号を、前記第2のクロック信号でラッチし、該第2のクロック信号に同期させることにより、立ち上がり及び立ち下がりが前記第1のクロック信号のエッジにかからないリセット信号を生成することを特徴とする。

【0021】また、前記非同期クロック生成手段は、前記第1のクロック信号を所定時間だけ遅延して出力する第1の遅延手段と、該第1に遅延手段から出力された信号を所定時間だけ遅延して出力する第2の遅延手段と、前記第1及び第2の遅延手段から出力された信号に基づいて前記第2のクロック信号を生成するXORゲートとを有することを特徴とする。

20 【0022】また、前記ラッチ手段は、前記非同期リセット信号を一方の入力とする第1のNORゲートと、前記第2のクロック信号を一方の入力とする第2のNORゲートとを有し、前記第1のNORゲートの他方の入力端子には前記第2のNORゲートの出力端子が接続され、前記第2のNORゲートの他方の入力端子には前記第1のNORゲートの出力端子が接続され、前記第1のNORゲートの出力を前記リセット信号として出力することを特徴とする。

30 【0023】また、前記非同期クロック生成手段は、前記第1のクロック信号を所定時間だけ遅延して前記第2のクロック信号として出力する第1の遅延手段を有することを特徴とする。

【0024】また、前記第1の遅延手段の入力に反転素子を有することを特徴とする。

40 【0025】(作用)上記のように構成された本発明においては、非同期クロック生成手段において、入力される第1のクロック信号から、立ち上がり及び立ち下がりが第1のクロック信号のエッジにかからないような第2のクロック信号が生成され、その第2のクロック信号に基づいて、外部から入力される非同期リセット信号から、立ち上がり及び立ち下がりが第1のクロック信号のエッジにかからないようリセット信号が生成され、そのリセット信号に基づいて、同期回路のリセット動作が行われる。

50 【0026】このように、同期回路のリセット動作を行うためのリセット信号が、常に、立ち上がり及び立ち下がりが第1のクロック信号のエッジにかからないようなものとなるので、非同期リセット信号がどのようなタイ

(4)

特開平11-150451

5

ミングで入力されても、確実に同期回路のリセットが行われる。

【0027】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

【0028】図1は、本発明の非同期リセット回路の実施の一形態を示す図である。

【0029】本形態は図1に示すように、同期回路10を駆動するために入力される第1のクロック信号CLKから、クロック信号CLKのエッジにかからないよう第2のクロック信号CLK2を生成し、出力する非同期クロック生成回路20と、外部から入力される非同期リセット信号XRSを、クロック信号CLK2でラッチすることによりクロック信号CLK2に同期させ、それにより、クロック信号CLKのエッジにかからないリセット信号XRS2を生成し、出力するラッチ回路30とから構成されており、ラッチ回路30から出力されリセット信号XRS2が同期回路10に入力されることで、同期回路10のリセット動作が確実に行われている。

【0030】図2は、図1に示した非同期リセット回路の一構成例を示す回路ブロック図である。

【0031】本形態は図2に示すように、クロック信号CLKを所定時間だけ遅延して出力する第1の遅延回路21及び第2の遅延回路22と、遅延回路21、22の出力を入力とし、クロック信号CLK2を生成して出力するXORゲート23とから非同期クロック生成回路20が構成されており、非同期リセット信号XRSを一方の入力とするNORゲート31と、クロック信号CLK2を一方の入力とするNORゲート32とからラッチ回路30が構成されており、クロック信号CLKの立ち上がりエッジで動作するフリップフロップ11と、クロック信号CLKの立ち下がりエッジで動作するフリップフロップ12と、インバータ13とから同期回路10が構成されている。

【0032】なお、遅延回路21においては、クロック信号CLKが入力され、クロック信号CLKが所定の時間だけ遅延した信号D1が出力され、遅延回路22においては、信号D1が入力され、遅延信号が所定の時間だけ遅延した信号D2が出力され、XORゲート23においては、信号D1、D2が入力され、信号D1、D2の排他的論理和が求められ、クロック信号CLK2として出力される。

【0033】また、ラッチ回路30においては、NORゲート31、32の出力がそれぞれNORゲート32、31の一方の入力とされ、NORゲート31の出力がリセット信号XRS2として出力される。

【0034】ここで、非同期リセット信号XRSは通常、Lowレベルであり、Highレベルでリセットがかかるはじめ、Lowレベルに復帰してリセット状態から抜けるものとする。

6

【0035】以下に、上記のように構成された非同期リセット回路の動作について説明する。

【0036】図3は、図2に示した非同期リセット回路の動作を説明するためのタイミングチャートである。

【0037】クロック信号CLKが入力されると、まず、遅延回路21において、クロック信号CLKが所定の時間だけ遅延した信号D1が生成され、出力される。

【0038】遅延回路21から信号D1が出力されると、遅延回路22において、信号D1が所定の時間だけ遅延した信号D2が生成され、出力される。

【0039】遅延回路21、22から出力された信号D1、D2は、XORゲート23に入力され、それにより、信号D1の立ち上がりから信号D2の立ち上がりまでの期間だけHighレベルとなる。クロック信号CLKの倍クロック信号CLK2がXORゲート23から出力される。

【0040】なお、XORゲート23から出力されるクロック信号CLK2においては、Highレベルである期間がクロック信号CLKのエッジとが重なることはなく、このクロック信号CLK2によって非同期リセット信号XRSがラッチされることになる。

【0041】XORゲート23から出力されたクロック信号CLK2は、ラッチ回路30内のNORゲート32に入力される。

【0042】一方、外部から入力された非同期リセット信号XRSは、ラッチ回路30内のNORゲート31に入力される。

【0043】その後、ラッチ回路30において、入力されたクロック信号CLK2によって非同期リセット信号XRSがラッチされ、クロック信号CLKの立ち上がりあるいは立ち下がりに同期しないリセット信号XRS2が出力される。ここで、ラッチ回路30から出力されるリセット信号XRS2においては、非同期リセット信号XRSの立ち上がりと同時に立ち下がるが、立ち上がるタイミングはXORゲート23の出力がHighレベルである時に限られる。

【0044】ここで、ラッチ回路30における動作について詳細に説明する。

【0045】初期状態で、非同期リセット信号XRS及びクロック信号CLK2がLowレベルである場合、リセット信号XRS2は不定であるが、クロック信号CLK2の立ち上がりでリセット信号XRS2はHighレベルとなる。

【0046】その後、非同期リセット信号XRSがLowレベルである限り、クロック信号CLK2が変動してもリセット信号XRS2はHighレベルのままである。

【0047】非同期リセット信号XRSが立ち上がると、同時にリセット信号XRS2はLowレベルとなる。ここからは、非同期リセット信号XRSがHigh

(5)

特開平11-150451

7

レベルである限り、クロック信号CLK2が変動してもリセット信号XRS2はLowレベルに保たれる。

【0048】その後、非同期リセット信号XRSがLowレベルとなることにより、非同期リセット信号XRSが終了するが、この時、クロック信号CLK2の状態により、リセット信号XRS2の挙動が2通り有り得る。

【0049】まず、非同期リセット信号XRSがHighレベルからLowレベルになった時にクロック信号CLK2がHighレベルであった場合、リセット信号XRS2は、非同期リセット信号XRSがHighレベルからLowレベルに変わったと同時に立ち上がり、同期回路10のリセットは終了する。この場合は、非同期リセット信号XRSのタイミングとリセット信号XRS2のタイミングとは同じである。

【0050】次に、非同期リセット信号XRSがHighレベルからLowレベルになった時にクロック信号CLK2がLowレベルであった場合は、リセット信号XRS2は、クロック信号CLK2がHighレベルになるまでLowレベルに保たれる。従って、リセット信号XRS2がHighレベルになるのは、非同期リセット信号XRSがLowレベルになった後におけるクロック信号CLK2の立ち上がりと同時になる。

【0051】上述したように、リセット信号XRS2は、非同期リセット信号XRSのタイミングにかかわらず、クロック信号CLK2がHighレベルである場合にのみ立ち上がる。

【0052】このように、クロック信号CLK2がHighレベルである期間は、リセット信号XRS2の立ち上がり及びクロック信号CLKの立ち上がり及び立ち下がりエッジにかからないことが保証されているため、リセット信号XRS2の立ち上がり及びクロック信号CLKの立ち上がり及び立ち下がりエッジにかかることはなく、それにより、同期回路10を確実にリセットすることができる。

【0053】図4は、図1に示した非同期リセット回路の他の構成例を示す回路ブロック図である。

【0054】本形態は図4に示すように、図2に示したものと比べて、遅延回路21がラッチ回路30と同期回路10との間に設けられて構成されている点のみが異なり、他の構成については図2に示したものと同様である。

【0055】本形態においては、ラッチ回路30において非同期リセット信号XRSがクロック信号CLKに同期化された後、遅延回路21において、ラッチ回路30から出力された信号が、クロック信号CLKのエッジにかからないようにその立ち上がりのタイミングがずらされ、それにより、確実な非同期リセットが実現されている。リセットのかかりはじめに遅延がある点が、図2に示したものと異なる。

【0056】図5は、図1に示した非同期リセット回路

8

の他の構成例を示す回路ブロック図である。

【0057】本形態は図5に示すように、図2に示したXORゲート23と遅延回路22とを使用せず、遅延回路21にて遅延がかけられたクロック信号CLKによって、非同期リセット信号XRSがラッチされるだけの構成である。

【0058】本形態においては、回路規模がさらに小さくなるという効果があるが、その反面、同期回路内において動作クロックの立ち下がりエッジも利用している場合には適用することができないという欠点を有している。

【0059】図6は、図1に示した非同期リセット回路の他の構成例を示す回路ブロック図である。

【0060】本形態は図6に示すように、図5に示したものと比べて、遅延回路21の入力に反転素子であるインバータ24が設けられて構成されている点のみが異なり、他の構成については図5に示したものと同様である。

【0061】本形態においては、同期回路内部が動作クロックの立ち上がりエッジを利用せず、立ち下がりエッジのみを利用している場合に適用することができ、図5に示したものと同様に回路規模の小型化を図ることができるという効果がある。

【0062】なお、図5及び図6に示したものにおいても、図4に示したものと同様の発想で、遅延回路21を、ラッチ回路30と同期回路10との間に配置する構成にすることができる。その場合も、リセットのかかりはじめに遅延がある点が、図5及び図6に示したものと異なる。

【0063】

【発明の効果】本発明は、以上説明したように構成されているので、以下に記載するような効果を奏する。

【0064】(1) 動作クロックのエッジにかからないクロック信号を生成し、その信号に非同期リセット信号を同期させ、同期回路のセットアップ・ホールドタイミングの問題を回避しているため、非同期リセット信号が入力されるタイミングによらず、同期回路を確実にリセットすることができる。

【0065】(2) ゲート数の多いフリップフロップ回路などを使用せず、少数の単純なゲート回路の組み合わせで構成されているため、回路面積が小さく済み、確実な非同期リセット回路を実現するためのコストアップを防ぐことができる。

【0066】(3) 回路規模が小さく、他の回路ブロックに対して邪魔にならないため、非同期リセットを入力する必要のある回路ブロックにこの回路を簡単に付加することができる。

【0067】(4) 動作クロックの立ち上がり及び立ち下がりエッジのどちらにも非同期リセットのタイミングが重ならないように構成されているため、非同期リセッ

9

ト回路を付加するにあたり、同期回路内部で動作クロック信号の立ち上がり及び立ち下がりエッジのどちらが使われているか考慮する必要がない。

【図面の簡単な説明】

【図1】本発明の非同期リセット回路の実施の一形態を示す図である。

【図2】図1に示した非同期リセット回路の構成例を示す回路ブロック図である。

【図3】図2に示した非同期リセット回路の動作を説明するためのタイミングチャートである。

【図4】図1に示した非同期リセット回路の他の構成例を示す回路ブロック図である。

【図5】図1に示した非同期リセット回路の他の構成例を示す回路ブロック図である。

【図6】図1に示した非同期リセット回路の他の構成例を示す回路ブロック図である。

【図7】従来の非同期リセット回路の構成例を示す図である。

【図8】図7に示した非同期リセット回路の動作を説明するための図であり、(a)は非同期リセット信号の立

(6)

特開平11-150451

10

* ち上がりが同期回路へのクロックのエッジに重ならなかった場合の動作を示す図。(b)は非同期リセット信号の立ち上がりがクロックのエッジとほとんど同時である場合の動作を示す図である。

【図9】特開平7-261878号公報に開示された非同期リセット方式を示す図であり、(a)は構成を示す回路ブロック図、(b)は(a)に示した回路の動作を示すタイミングチャートである。

【図10】特開平7-261878号公報に開示された非同期リセット回路の他の構成例を示す回路ブロック図である。

【符号の説明】

10 同期回路

11、12 フリップフロップ

13、24 インバータ

20 非同期クロック生成回路

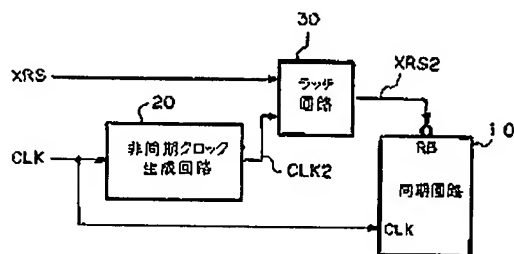
21、22 遅延回路

23 XORゲート

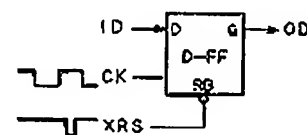
30 ラッチ回路

31、32 NORゲート

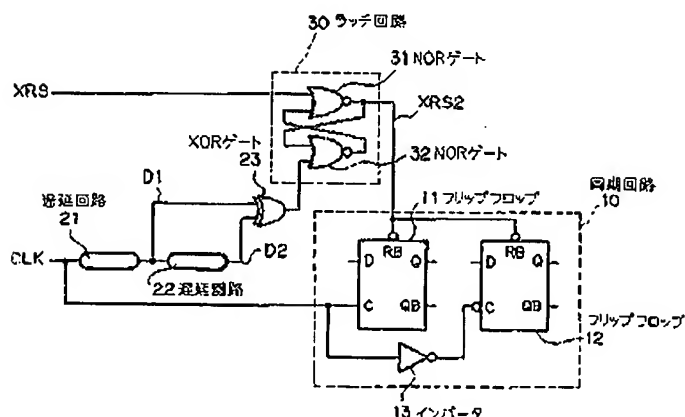
【図1】



【図7】



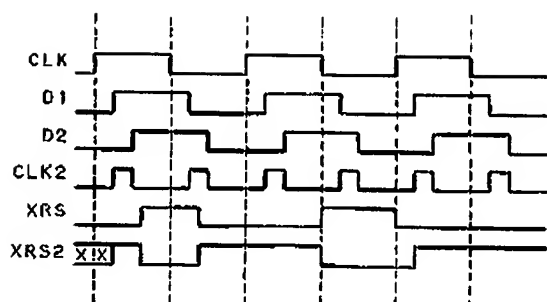
【図2】



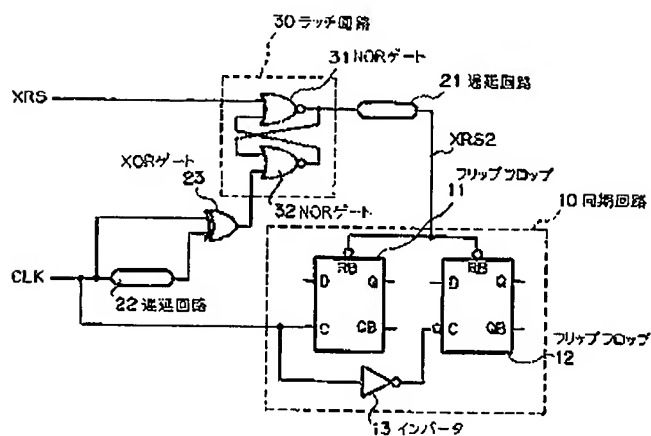
(7)

特開平11-150451

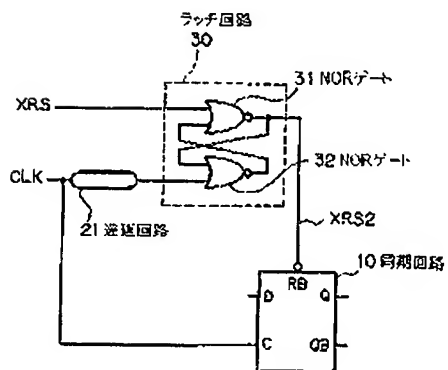
【図3】



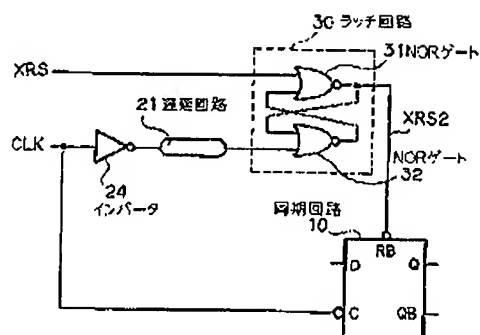
【図4】



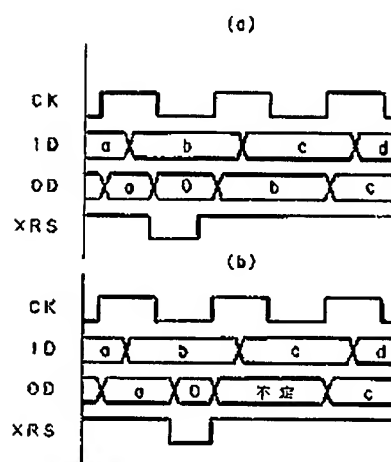
【図5】



【図6】



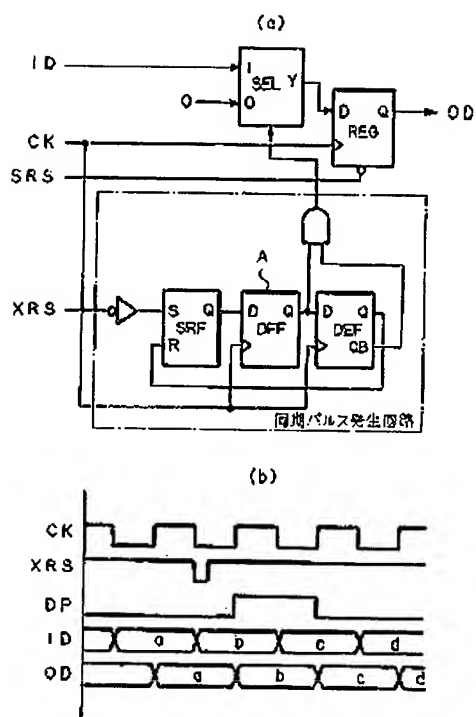
【図8】



(8)

特開平11-150451

【図9】



【図10】

